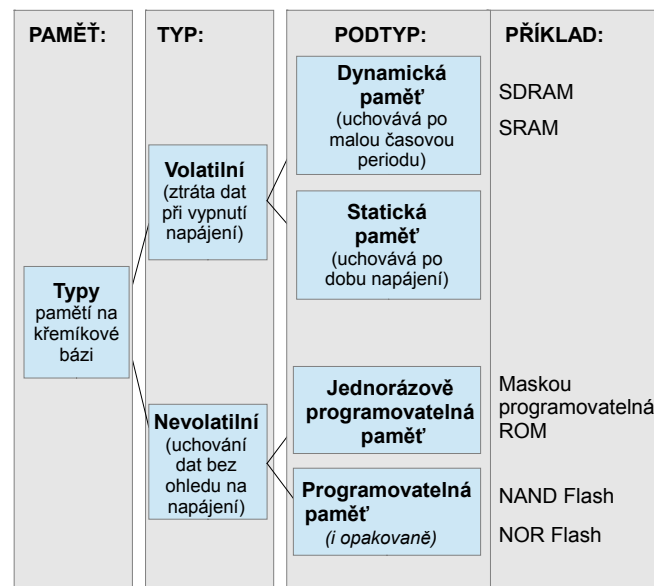


REFERÁTY

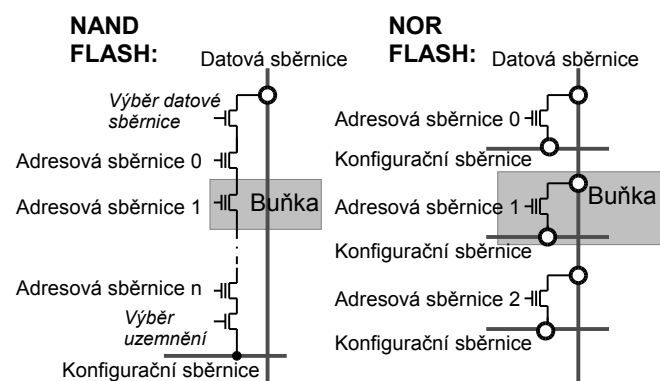
Polovodičové paměti NAND Flash

1 Úvod

Vzhledem k rostoucí popularitě mobilních elektronických zařízení s náročnými požadavky na ukládání dat se upřednostňovaným řešením staly polovodičové paměti typu Flash. Podle závislosti uchování dat na napájení lze polovodičové paměti dělit na paměti volatilní a nevolatilní (semipermanentní), jak je shrnuto na **obr. 1**. Na trhu nevolatilních pamětí Flash dominují paměti s architekturou NAND Flash a NOR Flash [1], viz **obr. 2**. Uspořádání paměťových buněk NAND Flash vítězí, ať už z pohledu kapacity, ceny, tak i výkonu – viz **tab. 1**.



Obr. 1. Obecné dělení polovodičových pamětí.



Obr. 2. Uspořádání paměťových buněk NAND Flash a NOR Flash [2].

Flash paměti se začaly s převahou uplatňovat v mnoha aplikacích, jako jsou disky SSD (Solid State Drive), disky pro vestavěné kontroléry a tradiční počítačové skladování dat. Populární oblastí použití jsou disky USB Flash, mnoho mikrokontrolerů má také integrovanou paměť Flash

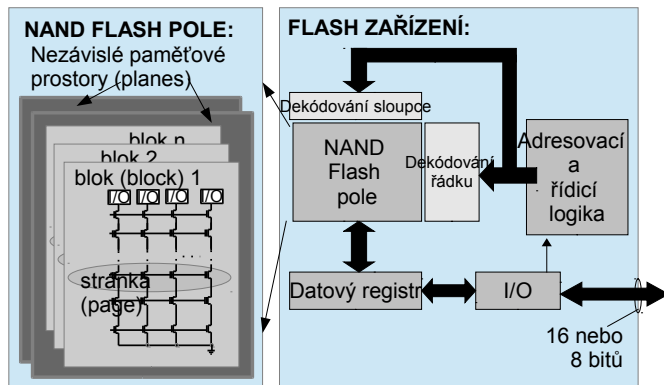
pro nevolatilní ukládání dat. Další významnou aplikační oblastí je využití semipermanentních pamětí v systémech, které vyžadují rekonfiguraci, aktualizaci softwaru, změnu uložených identifikačních dat, nebo aktualizaci uložených dat – například v kartách SMART. Vzhledem k semipermanentní povaze tohoto paměťového média existuje vysoká poptávka v oblasti mobilních komunikací. Paměti Flash se staly oblíbenou volbou pro mobilní telefony. Paměť NAND Flash se běžně vyskytuje v přenosných nebo vestavěných pamětech pro počítače, digitální fotoaparáty, mobilní telefony, MP3 přehrávače a další zařízení, kde jsou data obvykle čtena nebo zapisována postupně [2].

Tab. 1. Hlavní rozdíly mezi pamětí NAND a NOR Flash.

	NAND	NOR
Uspořádání paměťové buňky (viz obr. 2)	Buňky jsou uspořádány v sérii se sousedními buňkami sdílejícími source a drain.	Buňky jsou uspořádány paralelně se všemi emitorovými uzly buněk připojených k datové sběrnici.
Kapacita	Desítky Gb	Několik Gb
Nevolatilní (semipermanentní)	Ano	Ano
Interface	I/O interface	Celopaměťový interface
Vysokorychlostní přístup	Ano	Ano
Přístupová metoda	Sekvenční	Náhodný na bajtové úrovni
Režim stránkového přístupu k datům	Ano	Ne
Výkon	Rychlé čtení (sériový přístup). Rychlý zápis. Rychlé mazání.	Rychlé čtení (náhodný přístup). Pomalý zápis. Pomalé mazání.
Cena	Nízká	Vysoká
Délka života	$10^5 - 10^6$	$10^4 - 10^5$
Počet zapisovacích cyklů	10^6	10^6
Výhody	Rychlé programování a mazání.	Náhodný přístup, možnost zápisu bajtů.
Nevýhody	Pomalý náhodný přístup, obtížné programování bajtů.	Pomalé programování, pomalé mazání.
Typické použití a aplikace	Ukládání, souborové (diskové) aplikace, hlas, data, videozáznam a jakékoli archivování velkých sekvenčních dat.	Síťové paměťové zařízení, náhrada EPROM, aplikace vykonávané přímo z nevolatilní paměti.

2 Obecná architektura paměti NAND Flash

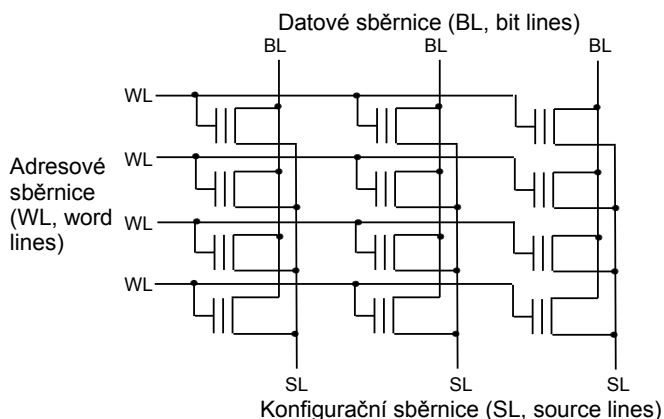
Celková architektura paměti NAND Flash je zachycena na **obr. 3**. Na rozdíl od většiny paměťových technologií je paměť NAND Flash uspořádána do jednotlivých stránek (pages), které jsou zapisovány a čteny jako celek. Z tohoto důvodu mohou být data na jednu stránku zapsána pouze najednou. Základní funkční jednotkou operace s daty této paměti je pak jedna stránka dat s řídicími příkazy celého bloku (více stránek) nebo celého čipu [3].



Obr. 3. Architektura zařízení NAND Flash [2].

NAND Flash vyžaduje delší přístupovou dobu k datům a následný přístup k jakémukoli po sobě nenásledujícím umístění představuje časovou prodlevu. Nicméně jakmile je stránka paměti uvolněna pro čtení, data lze z paměti rychle vyvolat. To je důvodem, proč se jen zřídka používá jako hlavní systémová paměť. V důsledku toho musí být pro řízení efektivního přístupu a řízení základních úkolů NAND Flash paměťového zařízení použit řadič přístupu k datům [2].

Díličí paměťová buňka je tvořena modifikovaným unipolárním tranzistorem typu MOSFET, ovládaným dvěma elektrodami (source a drain), řídicím či přístupovým hradlem (control gate) a elektricky izolovaným plovoucím hradlem (floating gate). Stránka je nejmenší programovatelnou jednotkou, fyzicky sestávající z řady buněk. Je definována jako buňky spojené se stejnou adresovou sběrnicí (word line).

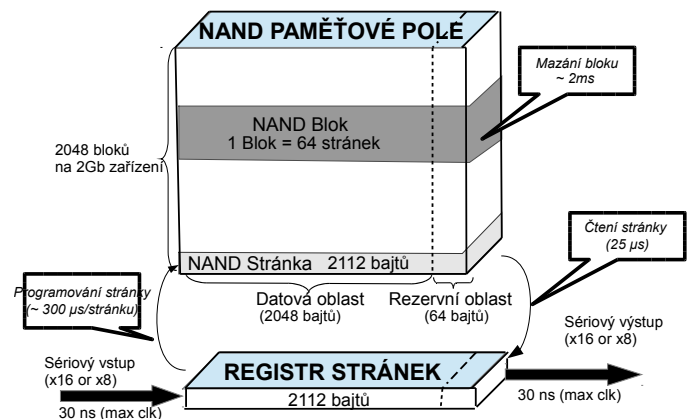


Obr. 4. Příklad konfigurace paměťového pole NAND Flash [1].

Příklad konfigurace paměťového pole tvořeného díličími tranzistory je uveden na **obr. 4**. Adresová linka (WL) je představována vodorovnou čarou a odpovídající datová sběrnicí (bit line, BL) je znázorněna svislým propojením.

Jednotlivá hradla jsou spojena do adresové sběrnice, určené k použití dekodovací adresy. Konfigurační sběrnice (source line, SL) propojuje zdrojové elektrody (source) díličích tranzistorů ke společné zemi a datová sběrnice (bit line, BL) propojuje odtokové elektrody (drain) a představuje kanál pro přenos dat. Souběh napětí aplikovaného na datovou a adresovou sběrnicí určuje operaci - čtení, mazání nebo programování [4].

NAND Flash paměti lze dělit na zařízení s velkými stránkami a zařízení s malými stránkami [3]. Malá stránka (small page), zahrnuje celkem 528 bajtů (264 slov). Pro vysoké kapacity, obvykle pro 1 Gbit a více, jsou používány velké stránky (large pages). Takové zařízení má obvykle 2048 bajtů dat a 64 bajtů rezervních dat na stránce (**obr. 5**), zatímco zařízení s malými stránkami má 512 bajtů dat a 16 bajtů rezervních dat na stránce. Příkazové sekvence pro zařízení s různou velikostí stránek jsou odlišné, což znamená, že řadič musí zohlednit, jaký druh zařízení je používán.



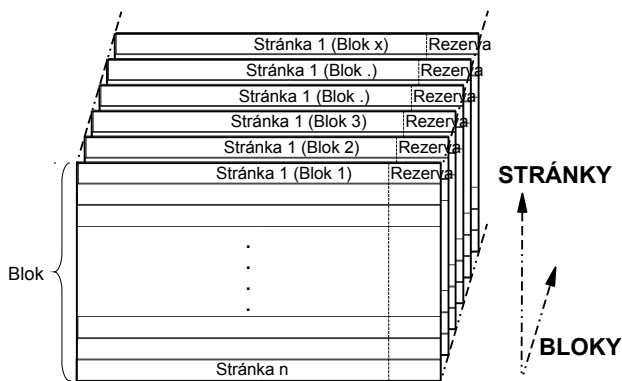
Obr. 5. Paměť NAND Flash o velikosti 2 Gbit, organizovaná jako 2.048 bloků, s 64 stránkami na blok. Každá stránka obsahuje 2112 celkem bajtů, pokrývajících 2048 bajtů datové oblasti a 64 bajtů rezervní oblasti [5].

Stránka je rozdělena na dvě datové oblasti. Jedna oblast je určená pro data ("data cell array page area"), druhá je redundantní a slouží jako rezervní prostor pro režijní funkce ("spare cell array page area"). Náhradní oblasti jsou postaveny stranou od paměti Flash pro účel přemapování vadných sektorů. Toto řešení prodlužuje životnost a spolehlivost paměti. Náhradní oblasti jsou plně adresovatelné uživatelem a jsou obvykle používány pro ukládání kódu korekce chyb (ECC - Error Correction Code), vyrovnávání opotřebení (wear-leveling), a další organizaci informací za účelem zlepšení integrity dat. Náhradní oblast není fyzicky odlišná od zbytku stránky, z pohledu funkce jsou bajty z náhradní oblasti rovnocenné bajtům z datové oblasti. Oblast tak může být použita i k ukládání uživatelských dat.

Před zahájením programování musí být stránka vymazána nastavením všech datových bitů na úroveň "1". Teprve poté může být do díličích buněk zapsána hodnota "0". Vymazaná, prázdná stránka paměti NAND Flash nemá v žádném z odpovídajících plovoucích hradel uložen elektrický náboj. Stránky ovšem musí být před opětovným zápisem vymazány jen po blocích, kdy každý blok zahrnuje více stránek (obvykle 32 až 128).

Paměťové zařízení NAND Flash se tedy skládá z paměťového pole, které je rozděleno na několik bloků,

kde blok představuje nejmenší vymazatelnou jednotku úložiště (**obr. 6**).



Obr. 6. NAND Flash bloky, tvořené stránkami [6].

Důvodem pro nutnost mazat po blocích je skutečnost, že všechny NAND řetězce sdílejí stejnou skupinu adresových sběrnic, které jsou mazány společně. Každý blok zahrnuje sadu adresovatelných stránek. Vnitřní architekturu bloku lze dělit dle dvou typů používaných technologií, a to technologii MLC (multi level cell), která má obvykle 128 stránek na blok, a technologii SLC (single level cell), která má 64 stránek na blok. Základní funkční jednotkou je jedna stránka dat s příkazy, které ovlivňují celý blok. Při operaci mazání bloku je dílčí operací vymazána skupina po sobě jdoucích stránek. Mazání nastavuje všechny bity v bloku na úroveň logické jedničky. Aby bylo možné zapisovat do bloku, který již může obsahovat některá data, Flash řadič musí přesunout v bloku existující data, zkombinovat je s novými daty a zapsat všechna data zpět. Čtení a zápis se provádí ve dvou samostatných fázích, zahrnujících přenos dat přes sběrnici do, respektive z datového registru, a přenos mezi datovým registrem a Flash paměťovým polem (**obr. 5**).

Paměť NAND Flash sestává z bloků stránek, které mohou být seskupeny do paměťových prostor (planes). Každý paměťový prostor zahrnuje sadu bloků sestavených z 64 stránek v případě SLC technologie nebo 128 stránek v případě MLC technologie. V závislosti na druhu zařízení jsou paměťové prostory v zásadě navzájem nezávislé. Jednotlivý paměťový prostor pokrývá místní vyrovnávací paměti pro čtení a zápis dat a může zpracovávat operace paralelně.

Zařízení NAND Flash pak mohou obsahovat nezávislé paměťové prostory, charakteristické pro ukládání lichých a sudých bloků, což umožňuje souběžné operace pro zlepšení výkonu.

Aby bylo možné provádět čtení, programování a mazání, jsou potřebné další obvody. Všechny bitové linky jsou spojeny se zesilovacími obvody (sense amplifiers), jejichž úkolem je transformovat pokles proudu paměťové buňky na digitální signál. Řádkový dekodér umístěný mezi paměťovými prostory poskytuje adekvátní napěťové úrovně všem adresovým sběrnicím, patřícím do daného řetězce NAND. V periferní části zařízení jsou regulátory napětí a nábojové pumpy, logické obvody a redundantní struktury [7].

3 Paměť NAND Flash: čtení a zápis

Paměťové zařízení NAND Flash provádějí tři základní operace: programování stránky, mazání bloku, a čtení stránky. V zařízení NAND Flash se tedy operace čtení a zápisu

provádějí na bázi stránek, nikoliv na bázi bajtů nebo slov, jako je tomu v případě NOR Flash. To předurčuje skutečnost, že je třeba mít velikost dat I/O registru, rovnou velikosti stránky. Paměť NAND Flash čte a zapisuje ve vysokorychlostním sekvenčním režimu a manipuluje s daty v rámci stránek. Rozdíly, jako je čtení s použitím mezipaměti, náhodný zápis a zápis do dvou paměťových prostorů, je umožněno pouze některými paměťovými zařízeními NAND Flash.

A) Programování stránky. Během operace zápisu je stránka zapsána do datového registru, a pak naprogramována do paměťového pole. Je odeslána adresa stránky a příkazové slovo, následované zapisovanými daty. Zapisovací kroky se liší v závislosti na tom, zda se jedná o paměťové zařízení s malými nebo velkými bloky, a zda jsou použity funkce, jako je režim mezipaměti nebo zápis do dvou paměťových prostorů. Během programování má signál připravenosti / obsazenosti (ready / busy, R / B) nízkou logickou úroveň, což znamená, že zařízení je ve stavu zaneprázdněnosti.

B) Smazání bloku. Paměť NAND Flash má dva základní stavy, a to smazaná nebo nesmazaná. Stránka dat může být zapsána pouze tehdy, pokud je médium ve smazaném stavu. Když jsou data zapsána, bitový řetězec je považován za nepoužitelný pro další zapisovací operace. Operace zápisu může být provedena pouze na vymazané jednotky, a tak operaci zápisu musí předcházet operace mazání. Aby mohl být obnoven stav připravenosti k zápisu, musí být vymazán celý blok. V průběhu operace mazání jsou smazány všechny paměťové buňky v daném bitovém řetězci. Není tak možné změnit individuální bity nebo bajty.

C) Čtení stránky. Pro čtení paměti NAND Flash je vyžadován příkaz pro čtení a adresa, ze které jsou požadována data. Jakmile je nastaven příkaz a předána požadovaná adresa, je vyžadováno několik desítek mikrosekund pro otevření stránky. Poté, co je stránka otevřena, data mohou být přečtena použitím povelového signálu ke čtení (RD). Bity v paměťových buňkách jsou čteny změnou napětí v řádcích a sloupcích buněk s následným vyhodnocením výsledků. V operaci čtení stránky je logická stránka dat přesunuta z paměti do výstupního datového registru.

D) Sloučení zaznamenávaných bloků s bloky, které obsahují zastaralé údaje. Když jsou mapovány jednotky menší, než mazaný blok, mohou zde zůstat zastaralá data (stale data). Stránky ovlivněné zastaralými daty nejsou přístupné pro nová data. V limitním případě hybridních převodních vrstev (Flash Translation vrstev, FTL), se použitý proces skládá ze sloučení zaznamenávaných bloků s bloky, které obsahují zastaralá data, a zápis výsledku do jednoho nebo více volných bloků. Slučovací operace může být jednou ze tří následujících typů sloučení: úplné, částečné a postupné (switch). Zaznamenávaný blok obsahuje sekvenci stránek nahrazujících stávající datový blok, starý blok pak může být vymazán. Částečné sloučení duplikuje platné stránky z datového bloku do zaznamenávaného bloku, příslušné bloky mohou být vzájemně nahrazeny. Úplné sloučení je žádoucí, když jsou data v zaznamenávaném bloku mimo pořadí. Platné stránky ze zaznamenávaného bloku a související datový blok jsou zkopírovány společně do jiného volného bloku. Původní blok dat a zaznamenávaný blok jsou pak oba vymazány [2].

Paměť NAND Flash je ovládána pomocí sady příkazů, které se liší v závislosti na výrobci. Existuje mnoho příkazů, z nichž některé jsou univerzální pro všechny výrobce, zatímco jiné jsou specifické a podporované pouze některými paměťmi.

Podle normy Open NAND Flash Interface (ONFI) existuje seznam základní sady univerzálních příkazů. Mezi nejčastější příkazy patří zápis (program), čtení dat (read data), mazání (erase), reset (reset), potvrzení zápisu (program confirmation), stav čtení (read status) a čtení ID (read ID).

Specifické příkazy obsahují náhodné čtení (random read), čtení stránky mezipaměti (page cache read), náhodný zápis (random write), zápis stránky do mezipaměti (page cache write), vnitřní přesun dat (internal data move), zápis do dvou paměťových prostorů (two-planes write), čtení dvou paměťových prostorů (two planes read) a další [3].

4 Vlastnosti paměti NAND Flash

Vývoj paměti NAND Flash byl poháněn postupným pokrokem ve vývoji nových struktur paměťových buněk a architekturních řešeních orientovaných jak na snížení velikosti buněk, tak na zlepšení parametrů. Aplikace vyžadují různou četnost mazání, různou způsobilost korekce chyb, případně i různé rozpětí požadavků na dobu schopnosti uchovat data. Paměti NAND Flash se liší v mnoha parametrech a charakteristikách, zahrnujících typy buněk, architekturu, výkonnost, parametry časování a sadu příkazů. Typické charakteristiky jsou shrnuty v následující části.

A) Architektura, sekvenční čtení a vysoká hustota. Architektura NAND Flash založená na nezávislých blocích byla představena firmou Toshiba v roce 1989. Jednotkové buňky jsou propojeny sekvenčně, buňky se podobají hradlu NAND. Toto uspořádání a architektura brání tomu, aby buňky byly čteny a programovány nezávisle na sobě. Buňky musí být čteny v sérii. Vzhledem k vynikající škálovatelnosti a výkonnosti dosáhla paměť NAND Flash velmi vysokou hustotu, pokud jde o počet bitů na mm^2 a zmenšování velikosti. V případě technologie TLC (triple - level cell), kdy jsou v každé paměťové buňce uchovávány tři bity, mohou být tranzistory s plovoucím hradlem vyráběny v procesu 6,5 nm a hustota dosahuje 1700 GB na čip.

B) Nevolatilita a nízká spotřeba energie. Skutečnost, že data zůstanou uložena, i když paměťové pole není napájeno, vyplývá ze skutečnosti, že paměťové buňky jsou tvořeny polem unipolárních tranzistorů. Paměť NAND Flash je jediná paměť, která nabízí jak hustotu v desítkách GB, tak nevolatilní vlastnosti.

C) Programování a mazání bloků paměti NAND Flash. Paměť Flash může být programována a smazána elektricky, kombinuje tedy výhody EPROM a EEPROM. Ve srovnání s elektricky programovatelnou permanentní pamětí semipermanentního typu (EPROM), která je mazatelná pomocí ultrafialového (UV) záření, to nabízí mnohem větší flexibilitu. Odlišnost mezi pamětmi Flash a EEPROM spočívá v tom, že EEPROM vymaže a přepíše obsah bajt po bajtu. Protože paměť NAND Flash maže nebo zapisuje data po celých blocích, dělá to ve srovnání s EEPROM velmi rychle. Jednotlivá buňka může být elektricky programovatelná a velké množství buněk (blok, sektor nebo stránka) jsou elektricky vymazatelné téměř ve stejnou dobu. Vzhledem k tomu, že paměť NAND Flash nenabízí náhodný přístup k externí adresové sběrnici a požadovaná data jsou čtena v rámci bloků (přístupem ke stránce), každý blok tak udržuje stovky až tisíce bytů, což je analogií k sekvenčnímu přístupu k datům.

D) Sériové ukládání. Z pohledu návrhu systémů je největší rozdíl v tom, že paměť NAND Flash je prvkem sériového

ukládání dat, zatímco většina ostatních pamětí umožňuje náhodný přístup k datům. U paměti s náhodným přístupem tak lze adresovat libovolnou buňku paměti. Sériové ukládání dat vyžaduje delší přístupový čas potřebný pro získání dat. Výsledkem je, že NAND Flash jako sériové paměťové zařízení neumožňuje náhodný přístup k externí adresové sběrnici a potřebuje zvláštní řadič pro přístup k datům. Paměť NAND Flash je proto stěží použitelná jako hlavní paměť systému a návrh systému tyto rozdíly musí brát v úvahu. Protože většina mikroprocesorů a mikrokontrolerů vyžaduje náhodný přístup, není možné, aby NAND Flash paměť nahradila operační paměť. Rychlost, s jakou operační paměti typu DRAM nebo SRAM mohou přistupovat k datům, a také schopnost adresovat na bajtové úrovni, je s pamětmi Flash nesrovnatelná.

E) Šum v procesu čtení. Způsob, jak získat přístup k diskretní buňce buď pro čtení nebo zápis, je v paměti NAND Flash přes ostatní buňky v odpovídající datové sběrnici. To zvyšuje šum vztahující se k procesu čtení, a také vyžaduje opatrnost v průběhu zápisu, aby bylo zajištěno, že obsah sousedních buněk v řetězci není narušen. Z této organizace vyplývá mnoho z problematických vlastností NAND Flash, na straně druhé odstraňuje mnoho z dekodovací režie uplatňované v dalších paměťových technologiích.

F) Limitovaná schopnost zápisu. Klíčovou charakteristikou paměti Flash je skutečnost, že buňky v paměťovém čipu po limitním počtu zápisů selhávají. Platí, že zřídka zapisované bloky budou mít delší životnost, zatímco u často zapisovaných bloků budou cykly vyčerpány rychleji. Z tohoto důvodu je velmi důležité použít mechanismus vyrovnávající čerpání cyklů přístupu k paměťovým blokům, zajišťující jejich rovnoměrné zatěžování, spíše než cyklování a potenciální zničení stejného bloku. Životnost paměti NAND Flash může být prodloužena díky speciálně navrženým algoritmům operací. Nivelace využití (wear levelling) je nezbytná pro technologii MLC, kde bloky obvykle podporují méně než 10 tisíc cyklů zápisu, v porovnání s technologií SLC, kde bloky nabízejí až 100 tisíc cyklů zápisu.

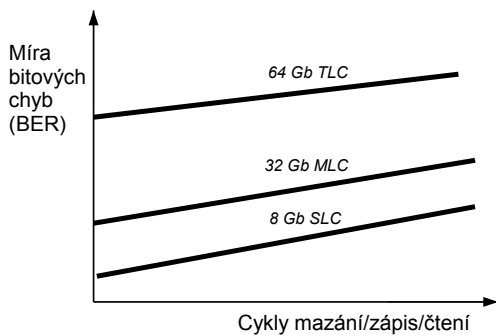
G) Některé další rozšířené vlastnosti. Může jít třeba o zamykání nebo odemykání bloků k odvrácení ztráty dat v důsledku nezáměrného softwarového výkonu, vnitřní přesun bloku do jiného místa v paměti a vyvarování se časově náročného přemísťování dat z čipu a zpět do čipu. Dále může být aplikován doplňkový vyrovnávací registr umožňující mezipaměťové operace pro operace čtení nebo postupné (pipelined) programování. Podporován také může být proces rychlého spouštění systému (boot proces), kdy je stránka 0 automaticky nahrána do datového registru po resetu nebo zapnutí.

5 Korekce chyb technologií ECC v pamětech NAND Flash

V digitální komunikaci je množství bitových chyb dáno počtem přijatých bitů datového toku přeneseného přes komunikační kanál, změněných v důsledku rušení, šumu, bitovým synchronizačním chybám nebo zkracení.

Bitová chybovost, neboli BER (Bit Error Ratio), je počet bitů, které mají chyby, v poměru k celkovému množství přenesených bitů v průběhu daného časového intervalu. BER je bezrozměrná veličina, často vyjadřovaná v procentech.

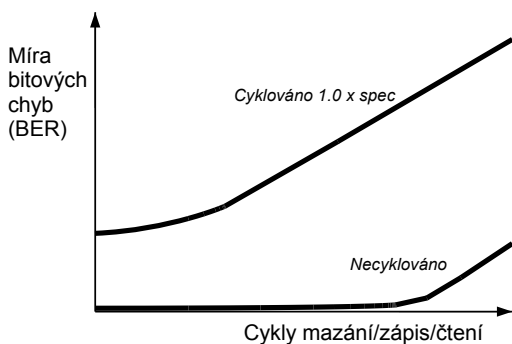
Prvotní bitová chybovost souvisí s pravděpodobností výskytu chyby v individuální bitové buňce [9].



Obr. 7. Míra bitové chybovosti vs. cykly mazání / programování / čtení pro paměť NAND Flash výrobce Micron [8].

5.1 Šum, detekce a korekce chyb

Existuje mnoho příčin šumu u paměti NAND Flash, jako jsou interference mezi buňkami, narušení čtení nebo zápisu, retence, šum typu RTS (random-telegraph noise), šum na pozadí, únik náboje, vznik pastí (trapping generation), atd. [10]. Tyto zdroje šumu značně zmenšují spolehlivost paměti Flash. V průběhu doby se množství postižených buněk zvyšuje, viz obr. 7. Související obr. 8 pak zachycuje míru chybovosti čtení (disturb error rate), která je empiricky mnohem horší v zařízeních, u kterých již byly spotřebovány cykly mazání, programování a čtení, než u necyklovaných zařízení [8]. Bitové chyby jsou přirozeným důsledkem nejistoty jakéhokoliv ukládání dat a musí být softwarově nebo hardwarově moderováno, aby nebyla ohrožena integrita původní informace [9].

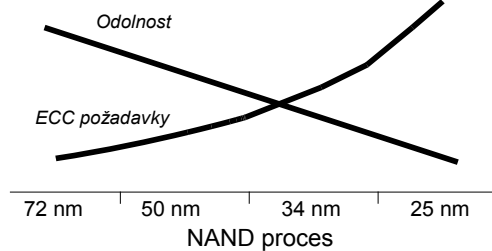


Obr. 8. Bitové chyby vs. počet čtení [8].

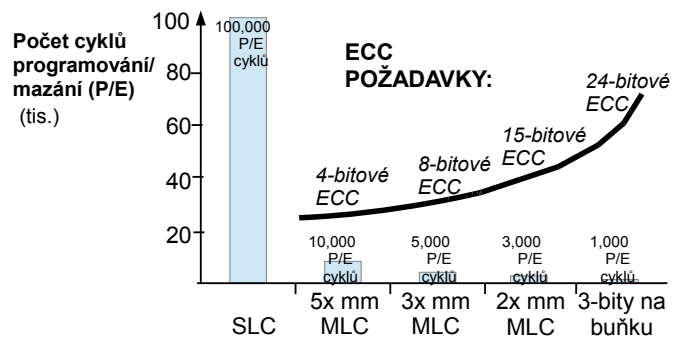
V NAND Flash paměti je tato moderace realizována použitím skupin ochranných bitů s algoritmem chybové korekce vyšší úrovně - chyby v uložení jsou upraveny algoritmem ECC. Ideální by bylo ošetřit všechny chyby, reálně algoritmus chrání proti celé řadě chyb, jejichž výskyt je pravděpodobný. Postupem času se u NAND Flash paměti rozšiřovala skladovací hustota uchováním více bitů na buňku a miniaturizací. Jak vývoj směřuje k více progresivním procesním uzlům, náklady na zařízení klesají, i když se paměťové buňky stávají náchylnějšími s ohledem na rušení sousedních buněk [11].

Množství bitů uchovaných buňkou se zvyšuje. Bitové hodnoty jsou reprezentovány menšími rozsahy napětí, což vytváří větší nejistoty v hodnotě uchované v bitové buňce v důsledku větší nejednoznačnosti množství náboje [9]. Jak se bitové buňky zmenšují, jsou více náchylné k selhání

v důsledku zátěže vysokým napětím (high-voltage stress), protože v plovoucí bráně může být zachyceno méně elektronů. Snížením platných rozsahů napětí pro danou hodnotu se zvyšuje pravděpodobnost poruchy čtení a zápisu.



Obr. 9. Nevýhody NAND miniaturizace - snižující se odolnost, nárůst ECC [12].



Obr. 10. ECC a srovnání životní cyklu NAND Flash: nárůst schopnosti korekce nestačí k udržení odolnosti buňky [13].

Toto řešení tak vyžaduje vyšší úroveň korekčního mechanismu chyb, aby bylo možné zajistit integritu dat. Novější technologie potřebují širší kód korekce chyb ECC [14]. Akceptovaná nejistota zvyšuje pravděpodobnost pro data, která budou uložena nebo čtena nesprávně. Technologie MLC tak vyžaduje vyšší úroveň chybové korekce než technologie SLC [9]. Zařízení využívající paměť NAND Flash musí integrovat velmi vysoké úrovně opravy chyb, čím vyšší integrace, tím větší požadavky na korekci chyb - viz obr. 9. Jeden bit algoritmu ECC je schopen korigovat jeden chybový bit na 512 bajtů. SLC Flash je schopen pracovat s jednobitovou korekcí přes 512 bajtové sektory, protože bitová chybovost je fakticky nízká. Technologie MLC (multi-level cell) vyžaduje silnější korekční algoritmy schopné korigovat čtyři až osm bitů pro správu vyšších bitových chyb, vyplývajících z větší nejistoty nabití a rozlišení různých napěťových rozsahů v jednotlivé bitové buňce [9] - viz obr. 10 a tab. 2.

Tab. 2. Požadavky na bitovou korekci pro paměti SLC a MLC NAND Flash [15].

	NAND proces	Vyžadované ECC	Cykly mazání	Retence dat
SLC	70/60 nm	1-bit	100K	10 let
	50 nm	1-bit	100K	10 let
	40/30 nm	4-bit	TBD	10 let
MLC	70/60 nm	4-bit	10K	10 let
	50 nm	4 ~ 8 bitů	5K ~ 10K	10 let
	40/30 nm	12 ~ 24 bitů nebo více	3K ~ 5K	5 let

Detekce, korekce nebo kontrola chyb zahrnuje techniky, které umožňují spolehlivý přenos digitálních dat pomocí detekce chyb a rekonstrukce originálu a získání korigovaných bezchybných dat. Díky těmto technikám je řešeno mnoho předpokládaných komplikací [16]. Technologie ECC se používá pro kompenzaci bitů, které by mohly selhat během provozu paměťového zařízení. Korekce chyb (ECC) umožňuje, aby čtená nebo přenášená data byla kontrolována na chyby a případně i opravena. Je to tedy způsob, jak korigovat nesprávné hodnoty z reziduálních dobrých datových bitů [3]. Pokud ECC nemůže opravit chybu v průběhu čtení, může stále chybu detekovat. Korekce chyb se stala nedílnou součástí NAND Flash, garantující integritu dat.

Zatímco SLC vyžadovalo pouze jednobitovou ECC pro hustotu až 4 GB vyrobenou procesem 43 nm, technologie MLC vyžaduje více korekcí – viz **obr. 10**. Současné trendy na NAND Flash trhu vedou ke změnám, které se musí projevit v algoritmech korekce chyb dat uchovaných v nových generacích NAND Flash zařízení [9].

Tab. 3. ECC doporučení [8].

NAND Typ	SLC	MLC	TLC
Katalogový požadavek na ECC	1-bit ECC na 528 bajtů dat	12-bit ECC na 539 bajtů dat	60-bit ECC na 1146 bajtů dat
BER	0,02%	0,28%	0,65%
Navrhované ECC	SEC/DEC Hammingův kód RS kód	BCH algoritmy	LDPC kódy

5.2 Algoritmy ECC pro paměti NAND Flash

Paměť NAND Flash musí používat vhodné algoritmy korekce chyb, vyskytujících se v průběhu programování a operace čtení [9]. Detekce chyb je obvykle realizována pomocí vhodné hashovací funkce nebo kontrolního algoritmu. Základním systémem teorie ECC je zvětšení redundance pro integraci ochrany. Hashovací funkce přidává k údajům hash hodnotu pevné délky, která může být kdykoliv přepočítána a ověřena. Redundance umožňuje na přijímající straně detekovat omezený počet chyb, které mohou nastat kdekoli v datech, a obvykle i tyto chyby opravit.

Když je pro čtení požadována datová jednotka, je pomocí algoritmu spočten ECC kód. Hodnota je porovnána s uloženými ECC hodnotami. Pokud si kódy odpovídají, data jsou bezchybná. Výsledkem tohoto hodnocení je ECC "syndrom", který ukazuje, zda došlo k chybám, určí bitové pozice chybných bitů, počet chybných bitů, a zda jsou chyby opravitelné.

V různých typech paměti Flash se používají různé techniky ECC. Kódy korekce chyb jsou typicky děleny na blokové a konvoluční kódy. V případě konvolučních kódů jsou data zpracovávána v sérii a ke každé posloupnosti zdrojových symbolů libovolné délky je generována posloupnost symbolů kódových. Populárním příkladem je Viterbiho algoritmus. U blokových kódů je kódové slovo vytvářeno pro bloky pevné délky a bloky dat jsou, na rozdíl od kódů konvolučních, vzájemně nezávislé. Hammingův kód, BCH kód (Bose - Chaudur - Hocquenghem), RS kódy (Reed - Solomon) a LDPC kódy (low-density parity check) jsou významné

blokové kódy, které byly široce používány v komunikačních, optických i jiných systémech [10].

Algoritmy RS nebo BCH jsou si podobné, RS kódování provádí korekci na vícebitových symbolech, zatímco BCH kódování je korekcí na jedno-bitových symbolech. Pokud jsou nějaká k-bitová data zapsána do paměti Flash, kódér vytváří paritní bity, připojuje tyto paritní bity k datovým bitům a vytváří n-bitové kódové slovo [10]. Paritní bity tvoří kód, který se odkazuje na bitovou sekvenci ve slově a je uložen spolu s datovou jednotkou. Běžně počítaný ECC, tj. celé kódové slovo, je uchováno v náhradní oblasti (spare area) stránky, ke které se vztahuje. V průběhu operace čtení dekodér zkoumá chyby v kódovém slově, a v rámci své schopnosti chybné bity opravuje, čímž obnovuje kódové slovo [10]. Pokud se kódy neshodují, chybnější nebo nesprávné bity jsou určeny na základě porovnání kódu a bit nebo bity jsou opraveny, nebo doplněny.

Dodatečná informace, představující redundanci přidanou kódem, je recyklována k obnově původních data. Typický algoritmus ECC opraví jednobitovou chybu v každých 2048 bitech (256 bajtech) pomocí 22 bitů kódu ECC, nebo jednobitovou chybu v 4096 bitech (512 bajtech) pomocí 24 bitového kódu ECC.

Výběr nejúčinnějšího korekčního kódu je kompromisem mezi počtem chybných symbolů, které je třeba opravit, a dodatečnými nároky na ukládání paritních informací (**tab. 4**).

Prvotní řešení využívající technologii SLC byla buď bez korekce chyb, nebo zde byla marginální korekce využívající Hammingova kódování, nabízejícímu opravu jediné chyby a schopnost detekovat dvě chyby [9]. Vzhledem k nízké míře bitových chyb těchto prvotních pamětí a potřebě korigovat sporadickou bitovou chybu to bylo postačující. Jak se míra bitové chybovosti s každou následující generací paměti jak SLC, tak MLC Flash zvýšila, nastupovaly složitější cyklické kódy, jako jsou RS nebo BCH algoritmy pro zvýšení korekční schopnosti [9]. Například v paměti NAND Flash typu SLC, vyrobeném na 32 nm nebo 24 nm, bylo vyžadováno čtyřbitové nebo osmibitové ECC na 512 bytů, zatímco v případě procesu 43 nm postačovala jednobitová korekce chyb [9], [11].

Tab. 4. Počet bitů potřebných pro různou sílu ECC korekce [17].

Úroveň korekce chyb	Bitů požadovaných v NAND Flash rezervní oblasti		
	Hammingův	RS kód	BCH kód
1	13	18	13
2	N/A	36	26
3	N/A	54	39
4	N/A	72	52
5	N/A	90	65
6	N/A	108	78
7	N/A	126	91
8	N/A	144	104
9	N/A	162	117
10	N/A	180	130

5 Závěrečné shrnutí

V dnešní době je Flash paměť jednou z nejoblíbenějších, spolehlivých a flexibilních nevolatilních pamětí pro ukládání konstantních datových hodnot a programového kódu. Paměti

EEPROM, elektricky mazatelné nevolatilní paměti typu ROM-RAM, které jsou elektricky mazatelné a programovatelné, se používají pouze pro specifické aplikace, protože používají větší oblasti čipu a jsou nákladnější. Paměť NAND Flash se pro své vlastnosti stala nepostradatelnou součástí mnoha elektronických systémů [18]. Kromě již zmíněných aplikačních oblastí bývá paměť Flash používána v aplikacích, kde mezi rozhodující požadavky patří uchovávání velkého množství dat v stavu bez napájení a spolehlivost - například v oblasti bezdrátových komunikačních systémů, v oblasti mobilních senzorových sítí a mikroprocesorových aplikacích.

Tento příspěvek tak shrnuje obecné vlastnosti pamětí Flash, důležité aspekty týkající se organizace paměti, způsobů provádění operací s daty, jakými jsou zápis stránky, mazání bloku nebo čtení stránky, a dává tyto informace do souvislosti s problematickými vlastnostmi těchto pamětí, příčinami vzniku chyb a mechanismy jejich detekce a korekce. Diskutován tak byl kritický parametr pamětí Flash, kterým je spolehlivost uchování dat a jejich odolnost vůči vzniku chyb s ohledem na možné zdroje šumu a způsobů kódování dat pro opravu vznikajících chyb.

Ing. Radovan Novotný, Ph.D.
Doc. Ing. Jaroslav Kadlec, Ph.D.
Doc. Ing. Radek Kuchta, Ph.D.

Literatura

- [1] Gong, B. Y. *Testing Flash Memories*. Online: <http://www.ictest8.com/base/yuanli/Testing%20Flash%20Memories.pdf> (odkaz platný k 7. 3. 2013).
- [2] Boboila, S., and Desnoyers, P. Write endurance in flash drives: measurements and analysis. *Proceedings of the 8th USENIX conference on File and storage technologies*. Berkeley: USENIX Association Berkeley, 2010, p. 10.
- [3] Eureka Technology Inc. (2012). *NAND Flash FAQ*. Online: http://www.actel.com/ipdocs/apn5_87a_FAQ.pdf (odkaz platný k 4. 1. 2013).
- [4] Paikin, A. *Flash memory*. Online: http://www.hitequest.com/Kiss/Flash_terms.htm (odkaz platný k 4. 3. 2013).
- [5] Cheadle DATA Recovery. *NAND Flash*. Online: <http://www.cheadldatarecovery.co.uk/wp-content/uploads/2013/01/Nand.gif> (odkaz platný k 3. 2. 2013).
- [6] Sandvido, M., Chu, F., Kulkarni, A. NAND Flash Memory and Its Role in Storage Architectures. *IEEE Xplore Digital Library*. Online: http://ieeexplore.ieee.org/iee_pilot/articles/96jproc11/jproc-MSanvido-20043 (odkaz platný k 5. 3. 2013).
- [7] Micheloni, R., Marelli, A., Commodaro, S. NAND overview: from memory to systems. *Springer Science and Business Media*. doi:10.1007/978-90-481-9431-5_2, 2010.
- [8] Heidecker, J. NAND Flash Qualification Guideline. *NEPP Electronic Technology Workshop*, 6. 11. 2012.
- [9] Deal, E. *Trends of NAND Flash Memory Error Correction*. 2009. Online: <http://www.cyclicdesign.com/index.php/ecc-trends-in-nand-flash> (odkaz platný k 7. 2. 2013).
- [10] Wang, X., Dong, G., Pan, L., Zhou, R. *Error Correction Codes and Signal Processing in Flash Memory*. Online: <http://www.intechopen.com/books/flash-memories/error-correction-codes-and-signalprocessing-in-flash-memory>, 2011 (odkaz platný k 6. 5. 2013).
- [11] Toshiba Electronics Europe. *How to handle the increasing ECC requirements of the latest NAND Flash memories in your Industrial Design*. 2012. Online: http://www.toshiba-components.com/memory/data/Whitepaper_BENAND_11_2012.pdf, (odkaz platný k 7. 2. 2013).
- [12] Shimpi, L. A. *Micron's ClearNAND: 25nm + ECC, Combats Increasing Error Rates*. 2010. Online: <http://www.anandtech.com/show/4043/micron-announces-clearnand-25nm-with-ecc> (odkaz platný k 7. 2. 2013).
- [13] Naftali, S. *Signal processing and the evolution of NAND flash memory*. 2010. Online: <http://embedded-computing.com/articles/signal-evolution-nand-flash-memory> (odkaz platný k 7. 2. 2013).
- [14] Deal, E., *Hamming, RS, BCH, LDPC - The Alphabet Soup of NAND ECC*. 2011. Online: <http://www.cyclicdesign.com/index.php/parity-bytes/3-nandflash/24-hamming-rs-bch-ldpc-the-alphabet-soup-of-nand-ecc> (odkaz platný k 7. 2. 2013).
- [15] Kuo, T.-W., Huang, P.-C., Chang, Y.-H., Ko, C.-L., Hsueh, C.-W. *An Efficient Fault Detection Algorithm for NAND Flash Memory*. Online: http://www.iis.sinica.edu.tw/~johnson/public_files/FaultDetection.pdf (odkaz platný k 6. 4. 2013).
- [16] Micron Technology, Inc. *Serial NAND Flash Memory Flyer*. 2008. Online: http://www.micron.com/~/media/Documents/Products/Product_Flyer/serial_nand_flyer.pdf (odkaz platný k 7. 2. 2013).
- [17] Micron Technology, Inc. *NAND Flash 101: An Introduction to NAND Flash and How to Design It In to Your Next Product*. 2006. Online: <http://www.techonline.com/electrical-engineers/education-training/tech-papers/4126198/NAND-101-An-Introduction-to-NAND-Flash-and-How-to-Design-It-into-Your-Next-Product> (odkaz platný k 7. 2. 2013).
- [18] Pavan, P., Bez, R., Olivo, P., Zaroni, E. Flash Memory Cells—An Overview. *Proceedings of the IEEE*, vol. 85, no. 8, 1997, pp. 1248-1271.

Poděkování

V článku jsou prezentovány výsledky výzkumu, který byl podporován Ministerstvem průmyslu a obchodu ČR v rámci řešení projektů 7H12002 "Interactive Power Devices for Efficiency in Automotive with Increased Reliability and Safety" a projektu CEITEC - Central European Institute of Technology CZ.1.05/1.1.00/02.0068.